

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-003154

(43)Date of publication of application : 06.01.1999

(51)Int.Cl.

G06F 3/00

B41J 29/00

B41J 29/38

G06F 3/12

G06F 13/12

H04N 1/00

H04N 1/32

(21)Application number : 09-156737

(71)Applicant : OKI DATA:KK

(22)Date of filing : 13.06.1997

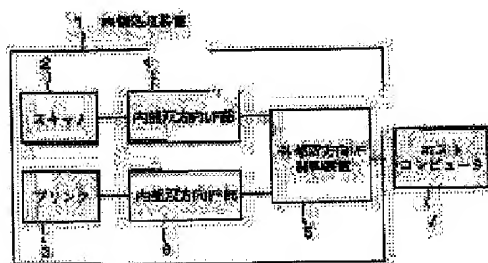
(72)Inventor : SATO NOBUYUKI

## (54) INTERFACE CONTROL DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To allow each image processor to directly transmit/receive data to/ from a host computer and to receive data at the highest processing speed by providing an image processor with 1st and 2nd connection/disconnection means and making it possible to connect a bidirectional interface for the host computer to a bidirectional interface in either one of plural image processors.

**SOLUTION:** The image processor 1 is provided with a scanner 2 and a printer 3. The scanner 2 is connected to an external bidirectional interface control device 5 through an internal bidirectional interface part 4 and the printer 3 is connected to the device 5 through an internal bidirectional interface part 6. The device 5 is connected to the host computer 7. The computer 7 can switch interface passages for the printer 3 and the scanner 2, the printer 3 can directly transmit/receive data to/from the computer 7 and printing data can be received at the highest speed of the printer 3.



## LEGAL STATUS

[Date of request for examination] 29.01.2001

[Date of sending the examiner's decision of rejection] 28.12.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-3154

(43) 公開日 平成11年(1999) 1月6日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 0 6 F 3/00

G 0 6 F 3/00

A

B 4 1 J 29/00

B 4 1 J 29/38

Z

29/38

G 0 6 F 3/12

D

G 0 6 F 3/12

13/12

3 4 0 G

13/12

3 4 0

H 0 4 N 1/00

1 0 7 A

審査請求 未請求 請求項の数 5 O L (全 21 頁) 最終頁に続く

(21) 出願番号

特願平9-156737

(22) 出願日

平成9年(1997) 6月13日

(71) 出願人 591044164

株式会社沖データ

東京都港区芝浦四丁目11番地22号

(72) 発明者 佐藤 信行

東京都港区芝浦4丁目11番地22号 株式会  
社沖データ内

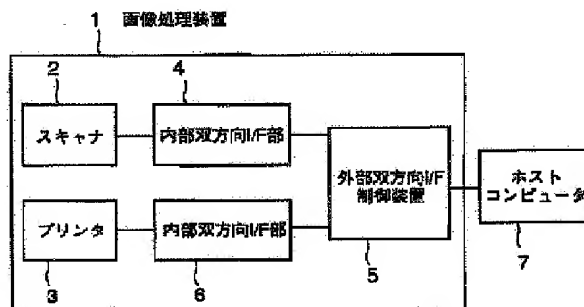
(74) 代理人 弁理士 大西 健治

(54) 【発明の名称】 インタフェース制御装置

(57) 【要約】

【課題】 プリンタを含む複数の周辺装置が接続された  
ホストコンピュータから印刷データを送信して印刷する  
場合に印刷データの送信を高速化する。

【解決手段】 ホストコンピュータ7とスキャナ2およ  
びプリンタ3との間に外部双方向インタフェース部5を  
設け、この外部双方向インタフェース部5内に、ホスト  
コンピュータ7とスキャナ2との間、およびホストコン  
ピュータ7とプリンタ2との間を接続、開放するスイッ  
チを設け、ホストコンピュータ7とスキャナ2との間、  
およびホストコンピュータ7とプリンタ2との間を直接  
接続できるようにする。



第1の実施の形態の画像処理装置を示すブロック図

1

## 【特許請求の範囲】

【請求項 1】 ホストコンピュータと複数の画像処理装置に双方向インタフェースで接続されるインタフェース制御装置において、

双方向インタフェースと、

ホストコンピュータの双方向インタフェースと前記双方向インタフェースの一端を接続、開放する第 1 の接離手段と、

複数の画像処理装置のいずれかの双方向インタフェースと前記双方向インタフェースの他端を接続、開放する第 2 の接離手段と、

前記第 1 の接離手段と第 2 の接離手段に接続されこれらを制御するインタフェース制御部とを設けたことを特徴とするインタフェース制御装置。

【請求項 2】 前記第 2 の接離手段は、前記複数の画像処理装置の各双方向インタフェース同士を接続、開放する請求項 1 記載のインタフェース制御装置。

【請求項 3】 前記複数の画像処理装置はスキャナおよびプリンタである請求項 2 記載のインタフェース制御装置。

【請求項 4】 前記スキャナとプリンタの間に、スキャナから出力される画像データを該スキャナおよびプリンタの特性情報に基づいて変換処理しプリンタへ送出する画像処理部を設けた請求項 3 記載のインタフェース制御装置。

【請求項 5】 前記スキャナおよびプリンタの特性情報はホストコンピュータから設定可能である請求項 4 記載のインタフェース制御装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ホストコンピュータと、スキャナやプリンタ等の複数の画像処理装置に双方向インタフェースで接続されるインタフェース制御装置に関する。

【0002】

【従来の技術】 従来、スキャナとプリンタを有する画像処理装置において、スキャナやプリンタをインタフェース部を介してホストコンピュータに接続する装置が知られている。例えば、特開平 8-186682 号公報参照。この公報に開示される装置によれば、カラー印刷動作を行う場合、ホストコンピュータからインタフェース部を介して印刷データを装置側へ送ると、装置の CPU は受け取った印刷データを一旦 RAM に蓄積し、その後印刷データを所定量毎に CPU バスを介してプリンタへ送り、プリンタでは送られてきた印刷データに従ってカラー印刷を行うようにしている。これによりホストコンピュータの制御に基づく印刷動作が実現されるというものである。

【0003】

【発明が解決しようとする課題】 しかしながら上記従来

2

の画像処理装置においては、カラー印刷動作を行う場合において、大量の印刷データが一旦装置の RAM に蓄積され、装置の CPU はその印刷データを所定量毎にプリンタに送信するようになっている。しかし前記公報に開示されるプリンタのように印刷速度が遅く、印刷中に随時停止できるインクジェット方式のプリンタではなく、いわゆるレーザプリンタのように印刷速度が速く、かつ一旦動作を開始すると途中で印刷を停止できないプリンタの場合には、印刷データを CPU から CPU バスを介してプリンタへ送信する場合、CPU バスに占める印刷データの転送時間の占有率が大きくなり、高速の CPU バスが必要になるとともに、CPU バスを共有しているスキャナ制御の処理能力を大きく低下させるという問題がある。

【0004】 また上記従来の画像処理装置においては、CPU はステータス信号の送受信制御や印刷データのフロー制御をホストコンピュータとプリンタ制御部との間に入って行うが、プリンタ制御部とホストコンピュータの間で遅延量が大きく、また最悪の場合には同期ずれが発生しやすいという問題もあった。したがって高速印刷の場合には、印刷データのどぎれがないようにするには高速のフロー制御が必要であり、開発期間と検証に時間がかかる。

【0005】

【課題を解決するための手段】 上記課題を解決するために本発明は、ホストコンピュータと複数の画像処理装置に双方向インタフェースで接続されるインタフェース制御装置において、双方向インタフェースと、ホストコンピュータの双方向インタフェースと前記双方向インタフェースの一端を接続、開放する第 1 の接離手段と、複数の画像処理装置のいずれかの双方向インタフェースと前記双方向インタフェースの他端を接続、開放する第 2 の接離手段と、前記第 1 の接離手段と第 2 の接離手段に接続されこれらを制御するインタフェース制御部とを設けたことを特徴とする。

【0006】 上記構成を有する本発明によれば、第 1 の接離手段および第 2 の接離手段により、ホストコンピュータの双方向インタフェースとの接続を一の画像処理装置から他の画像処理装置へ切り替えることができる。したがって各画像処理装置は直接ホストコンピュータと送受信でき、例えば画像処理装置の持っている最高の処理速度でデータを送受信することが可能になる。

【0007】

【発明の実施の形態】 以下、本発明の実施の形態を図面にしたがって説明する。なお各図面に共通する要素には同一の符号を付す。図 1 は本発明の第 1 の実施の形態のインタフェース制御装置を示すブロック図である。

【0008】 図 1 において、第 1 の実施の形態の画像処理装置 1 は、スキャナ 2 およびプリンタ 3 を備えており、スキャナ 2 は内部双方向インタフェース部 4 を介し

て外部双方向インタフェース制御装置5に接続され、プリンタ3は内部双方向インタフェース部6を介して外部双方向インタフェース制御装置5に接続されている。外部双方向インタフェース制御装置5はホストコンピュータ7に接続されている。

【0009】図2は第1の実施の形態の外部双方向インタフェース制御装置5の内部を示すブロック図である。同図において、外部双方向インタフェース制御装置5には、外部双方向インタフェース11および内部双方向インタフェース12が具備されており、両者は互いに双方向10 向パラレルインタフェース13により接続されている。外部双方向インタフェース11は双方向パラレルインタフェース14によりホストコンピュータ7に接続され、外部インタフェース制御部15の制御によりホストコンピュータ7との間で双方向のデータの送信と受信を行う。また外部双方向インタフェース11には双方向パラレルインタフェースを切り替えるスイッチ16と、スイッチ16の切り替え時に双方向パラレルインタフェース14に必要なシーケンス生成回路17を備えている。

【0010】内部双方向インタフェース12は、スキャナ2に接続された双方向パラレルインタフェース18とプリンタ3に接続された双方向パラレルインタフェース19とに接続され、外部双方向インタフェース11の双方向パラレルインタフェース13をスキャナ2の内部双方向インタフェース部4またはプリンタ3の内部双方向インタフェース部6のどちらに接続するかを選択する回路である。内部双方向インタフェース12には、シーケンス生成回路20、21およびスイッチ22、23が設けられ、スイッチ22は双方向パラレルインタフェース18を双方向パラレルインタフェース13かシーケンス生成回路20のいずれかに接続し、スイッチ23は双方向パラレルインタフェース19を双方向パラレルインタフェース13かシーケンス生成回路21のいずれかに接続する。

【0011】内部双方向インタフェース12は内部インタフェース制御部24に接続され、内部インタフェース制御部24は内部双方向インタフェース12内のスイッチ22、23およびシーケンス生成回路20、21を制御する。また内部インタフェース制御部24は外部インタフェース制御部15に接続されている。

【0012】次に第1の実施の形態の動作をさらに図3、図4、図5を用いて説明する。図3、図4、図5は第1の実施の形態の切り替え動作を示すシーケンス図である。図2において、外部双方向インタフェース11のスイッチ16が外部双方向パラレルインタフェース14と双方向パラレルインタフェース13を接続し、また内部双方向インタフェース12のスイッチ23が双方向パラレルインタフェース13と双方向パラレルインタフェース19を接続した状態においては、ホストコンピュータ7がプリンタ3とインタフェース路を確保している。

この状態からスキャナ2に通信路を確保させるまでの切り替え動作について説明する。

【0013】ホストコンピュータ7がプリンタ3とインタフェース路を確保している状態では、ホストコンピュータ7はプリンタ3との間で印刷データ、制御コマンド、応答レスポンス、ステータス情報等のデータの送受信を行う。また転送モードも、IEEE規格-1284 1994に準拠した任意のモード、例えばコンパティビリティ・モード (Compatibility Mode)、ニブル・モード (Nibble Mode)、バイト・モード、ECPモード、EPPモード等のモードで行われる。

【0014】図3は外部双方向パラレルインタフェース14の接続を双方向パラレルインタフェース19 (プリンタ用) から双方向パラレルインタフェース18 (スキャナ用) に切り替えるためのインタフェースシーケンスを示す。図3において、ホストコンピュータ7は8ビットデータの値により画像処理装置に対して種々の要求を行う。例えば、図3に示すevent 0で第7ビットが“1”の8ビットデータを出力する。これは Extensibility Link Request (拡張リンク要求) の意味である。ホストコンピュータ7は event 1で1284 ActiveをHighにし、Host BusyをLowにする。これによりコンパティビリティ・モードからネゴシエーション・フェーズ (Negotiation Phase) に切り替わる。なお図3において、Pと記されている信号はプリンタ3が出力している信号で、Hと記されている信号はホストコンピュータ7が出力している信号である。

【0015】外部双方向インタフェース11のスイッチ16は、event 5までは双方向パラレルインタフェース13を経由してプリンタ3側の双方向パラレルインタフェース19に接続されている。event 5からはスイッチ16はシーケンス生成回路17に接続され、これ以降はプリンタ3の出力信号Pはシーケンス生成回路17から制御される。event 29でスイッチ16は、双方向パラレルインタフェース13に接続され、外部双方向パラレルインタフェース14は再び双方向パラレルインタフェース13に接続される。

【0016】ホストコンピュータ7は event 50でパラメータバイト“00000001”を送る。第0ビットが“1”のパラメータバイトは接続通路の切り替え要求で、スキャナ2側への接続切り替えを要求している。

【0017】図4は双方向パラレルインタフェース19の接続を双方向パラレルインタフェース13からシーケンス生成回路21に切り替えるためのシーケンスを示す。図4において、event 5からはスイッチ23はシーケンス生成回路21に接続され、以後、ホストコンピュータ7の出力信号 (Hで示す) は、シーケンス生成回路21から制御される。event 5で8ビットデータの第7ビットが“1”であることが検出されると、内部インタフェース制御部24は切り替え操作に入る。

【0018】図5は双方向パラレルインタフェース18の接続をシーケンス生成回路20から双方向パラレルインタフェース13に切り替えるためのシーケンスを示す。図5において、event 29からはスイッチ22は双方向パラレルインタフェース13に接続される。図4のevent 5で8ビットデータの第7ビットが“1”であることが検出されると、内部インタフェース制御部24は切り替え操作に入る。

【0019】内部インタフェース制御部24と外部インタフェース制御部15との間で相互に出力される制御信号25、26は、それぞれのevent情報を互いに通知するためのものである。このevent情報により、互いの制御部24、15は同期した切り替え制御が可能になる。

【0020】上記とは逆に、スキャナ側からプリンタ側への切り替えも可能である。その場合、図3に示すevent 50で送るパラメータバイトは“00000010”とし、その切り替えを指示する。

【0021】図6は第1の実施の形態においてホストコンピュータからのデータ転送通路を任意にプリンタとスキャナに切り替える動作を示す。図において、Nはネゴシエーション・モードを示し、これは切り替えモードである。Pはプリンタ3のデータ転送モード、Sはスキャナ2のデータ転送モード、Iはアイドル・モードを示す。図に示すように、外部双方向パラレルインタフェース14はプリンタ3へのデータ転送とスキャナ2へのデータの転送を交互に行っている。

【0022】以上のように第1の実施の形態によれば、ホストコンピュータ7はプリンタ3とスキャナ2との間でインタフェース通路を切り替えることが可能になり、プリンタ3は直接ホストコンピュータ7と送受信できるので、プリンタの持つ最高の速度で印刷データを受信することが可能となる。したがってプリンタ3とホストコンピュータ7の間で遅延量はなくなり、同期ずれ等は発生せず、また高度なフロー制御は不要で、開発時間と検証に時間がかからない。さらに印刷データを高速で受信する際も、他の装置、即ちスキャナ2の回路を高速にする必要がなく、速度の遅いスキャナでも使用できるので、装置を安価にできる。

【0023】次に第2の実施の形態について説明する。図7は第2の実施の形態を示すブロック図である。同図において、インタフェース制御装置31は第1の実施の形態における外部双方向インタフェース制御装置5と機能的には同じものであるが、単独の装置として動作する。スキャナ32は単体の装置であり、外部双方向パラレルインタフェース34を介してインタフェース制御装置31に接続されている。プリンタ33も単体の装置であり、外部双方向パラレルインタフェース35を介してインタフェース制御装置31に接続されている。ホストコンピュータ7とインタフェース制御装置31は外部双方向インタフェース14により接続されている。

【0024】第2の実施の形態のインタフェース制御装置31の動作は、前述した第1の実施の形態の外部双方向インタフェース制御装置5と同様である。このようにスキャナおよびプリンタが単体の装置であっても、インタフェース制御装置で接続を切り替えることにより、ホストコンピュータ7と1本の双方向パラレルインタフェースで接続が可能になる。この場合、スキャナとプリンタはどのような種類のものでもよい。

【0025】次に第3の実施の形態を説明する。図8は第3の実施の形態を示すブロック図である。第3の実施の形態は、ホストコンピュータに接続されるスキャナやプリンタ等の周辺装置を増加したものである。図8において、インタフェース制御装置41は外部双方向パラレルインタフェース34、35によりスキャナ32およびプリンタ33に接続されている。スキャナ32およびプリンタ33は単体の装置である。インタフェース制御装置41はさらに、外部双方向パラレルインタフェース42、43によりCD-ROM装置44およびテープドライブ45に接続され、また外部双方向パラレルインタフェース46、47により2台目のスキャナ32および2台目のプリンタ33に接続されている。CD-ROM装置44とテープドライブ45、2台目のスキャナ32およびプリンタ33はともに単体の装置である。

【0026】インタフェース制御装置41内には、図示していないが、接続される外部双方向インタフェース34、35、42、43、46、47の数に応じて、第1の実施の形態で説明した接続切り替え用のスイッチおよびシーケンス生成回路が増設される。またホストコンピュータ7から送信され、接続切り替えを指示するためのパラメータバイトは追加された装置に対応して識別可能な意味を持たせるようにする。

【0027】以上のように構成した第3の実施の形態によれば、スキャナやプリンタ等の周辺装置がさらに増設されたとしても、ホストコンピュータ7から1本の双方向パラレルインタフェースによりこれらの周辺装置に接続が可能である。

【0028】次に第4の実施の形態を説明する。図9は第4の実施の形態を示すブロック図である。図9において、ホストコンピュータ7はインタフェース制御装置51に接続されている。インタフェース制御装置51には、外部双方向インタフェース11および内部双方向インタフェース12が具備されており、両者は互いに双方向パラレルインタフェース13により接続されている。外部双方向インタフェース11は双方向パラレルインタフェース14によりホストコンピュータ7に接続され、外部インタフェース制御部15の制御によりホストコンピュータ7との間で双方向のデータの送信と受信を行う。また外部双方向インタフェース11には双方向パラレルインタフェースを切り替えるスイッチ16と、スイッチ16の切り替え時に双方向パラレルインタフェース

14に必要なシーケンス生成回路17を備えている。

【0029】内部双方向インタフェース12には、図示しないスキャナに接続された双方向パラレルインタフェース18と図示しないプリンタに接続された双方向パラレルインタフェース19とに接続され、シーケンス生成回路20、21およびスイッチ22、23が設けられている。スイッチ22は双方向パラレルインタフェース18を双方向パラレルインタフェース13かシーケンス生成回路20のいずれかに接続し、スイッチ23は双方向パラレルインタフェース19を双方向パラレルインタフェース13かシーケンス生成回路21のいずれかに接続する。シーケンス生成回路20は双方向パラレルインタフェース52によりシーケンス生成回路21に接続されており、スイッチ22が双方向パラレルインタフェース18をシーケンス生成回路20に接続し、スイッチ23が双方向パラレルインタフェース19をシーケンス生成回路21に接続することにより、スキャナとプリンタの間でループ状態が形成される。

【0030】内部双方向インタフェース12は内部インタフェース制御部24に接続され、内部インタフェース制御部24は内部双方向インタフェース12内のスイッチ22、23およびシーケンス生成回路20、21を制御する。また内部インタフェース制御部24は外部インタフェース制御部15に接続されている。

【0031】第4の実施の形態はコピー動作、即ちスキャナで読み取られた画像データを印刷する動作に特に適したものである。すなわち、ホストコンピュータ7の指令のもとに、スキャナから読み取られた画像データをホストコンピュータ7を経由しないで直接プリンタに送ることができるものである。ホストコンピュータ7からコピー動作の指令、即ちスキャナで読み取った画像データをプリンタへ送れという指令が出ると、内部双方向インタフェース12のスイッチ22とスイッチ23は図9に示す状態でセットする。これにより双方向パラレルインタフェース18がシーケンス生成回路20に接続され、双方向パラレルインタフェース19がシーケンス生成回路21に接続される。この状態でスキャナから読み取られた画像データはホストコンピュータ7を経ることなく直接プリンタへ送られる。

【0032】次に第4の実施の形態における上記のコピー動作を詳細に説明する。図9において、スイッチ16が外部双方向パラレルインタフェース14と双方向パラレルインタフェース13を接続し、またスイッチ23が双方向パラレルインタフェース19と双方向パラレルインタフェース13を接続した状態では、ホストコンピュータ7がプリンタとインタフェース路を確保している。この状態から、双方向パラレルインタフェース18をシーケンス生成回路20に接続し、スキャナとプリンタの間でループ状の通信路が確保されるまでの切り替えシーケンスについて以下に説明する。

【0033】なお、ホストコンピュータ7がプリンタとインタフェース路を確保している状態では、ホストコンピュータ7はプリンタとの間で、印刷データ、制御コマンド、応答レスポンス、ステータス情報等のデータを送受信する。またデータ転送モードは、第1の実施の形態で述べたように、IEEE規格-1284 1994に準拠した任意のモード、例えばコンパティビリティ・モード、ニブル・モード、バイト・モード、ECPモード、EPPモード等のモードで行われる。

10 【0034】図10は外部双方向パラレルインタフェース14の接続を双方向パラレルインタフェース19（プリンタ用）から双方向パラレルインタフェース18（スキャナ用）に切り替えるためのインタフェースシーケンスを示す。図10において、ホストコンピュータ7は8ビットデータの値により画像処理装置に対して種々の要求を行う。外部双方向インタフェース11のスイッチ16は、event 5までは双方向パラレルインタフェース13を経由してプリンタ側の双方向パラレルインタフェース19に接続されている。event 5からはスイッチ16はシーケンス生成回路17に接続され、これ以降はホストコンピュータ7の出力信号はシーケンス生成回路17から制御される。ホストコンピュータ7は event 50でパラメータバイト“00000100”を送る。第2ビットが“1”のパラメータバイトは接続通路の切り替え要求で、ループ状態への接続切り替えを要求している。また、event 29に移ってもスイッチ16は双方向パラレルインタフェース13とシーケンス生成回路17の接続を維持する。

30 【0035】図11は双方向パラレルインタフェース19の接続を双方向パラレルインタフェース13からシーケンス生成回路21に切り替えるためのシーケンスを示す。図11は第1の実施の形態の図4と同様で、event 5からはスイッチ23はシーケンス生成回路21に接続され、以後、ホストコンピュータ7の出力信号（Hで示す）は、シーケンス生成回路21から制御される。event 5で8ビットデータの第7ビットが“1”であることが検出されると、内部インタフェース制御部24は切り替え操作に入る。

40 【0036】図12は上記図10、図11のシーケンスの間、双方向パラレルインタフェース18をシーケンス生成回路20に接続したままのシーケンスを示す。内部インタフェース制御部24と外部インタフェース制御部15との間で相互に出力される制御信号25、26は、それぞれの event 情報を互いに通知するためのものである。この event 情報により、互いの制御部24、15は同期した切り替え制御が可能になる。

50 【0037】図11と図12の event 29を経て event 0に戻ると、コンパティビリティ・モードになる。この状態からスキャナで読み取った画像データを印刷データとしてプリンタに直接送信することが可能になる。



【0038】図13、図14はスキャナで読み取った画像データが双方向パラレルインタフェース18からシーケンス生成回路20、双方向パラレルインタフェース52、シーケンス生成回路21を経由して双方向パラレルインタフェース19に印刷データとして転送される状態を示す。シーケンス生成回路20は、スキャナに対してホストコンピュータとしての信号を出力し、シーケンス生成回路21は、プリンタに対してホストコンピュータとしての信号を出力する。また双方向パラレルインタフェース52は、ニブル・データのスキャナ読取り画像データをコンパティビリティ・データに変換してプリンタに送る。

【0039】図13において、双方向パラレルインタフェース18の信号を示し、スキャナからシーケンス生成回路20にニブル・モードでデータ転送される様子を示す。コンパティビリティ・モードのevent 0からevent 7までがニブル・モードへのネゴシエーション・フェイズである。ここでHで示すホストコンピュータ7からの信号は、シーケンス生成回路20から生成され出力される。また図においてPで示す信号はスキャナから出力されてシーケンス生成回路20に送られる信号である。ニブル・データはevent 7からevent 11までが1バイトの転送データである。

【0040】図14は双方向パラレルインタフェース19の信号を示し、シーケンス生成回路21からコンパティビリティ・モードでデータ転送される様子を示す。

【0041】図15はシーケンス生成回路20の詳細を示すブロック図である。シーケンス生成回路20がニブル・データをコンパティビリティのバイトデータに変換し、双方向パラレルインタフェース52およびシーケンス生成回路21を経由して、双方向パラレルインタフェース19へ出力する。シーケンス生成回路20には、4ビットのレジスタreg-a 53およびreg-b 54と信号変換部55が設けられている。

【0042】図16は図15の回路の動作を示すシーケンス図である。図16において、Aは双方向パラレルインタフェース18のニブル・データをスキャナからシーケンス生成回路20へ転送する動作を示し、Bはシーケンス生成回路21からプリンタへコンパティビリティのバイトデータを出力する動作を示す。

【0043】スキャナからのニブル・データnは、nDataAvail、XFlag、AckDataReq、PtrBusy 信号上でニブル・データ(4ビットデータ)として転送され、nL(b0、b1、b2、b3)とnH(b4、b5、b6、b7)の2回出力される。最初のnLは、event 9のPtrClk信号の立下がりによってシーケンス生成回路20の4ビット・レジスタreg-a 53に格納される。次のnHは、2回目のevent 9のPtrClk信号の立下がりによってシーケンス生成回路20の4ビット・レジスタreg-b 54に格納される。レジスタreg-a 53はコンパ

ティビリティ・バイト・データのD1、D2、D3、D4を出力し、レジスタreg-b 54はコンパティビリティ・バイト・データのD5、D6、D7、D8を出力する。またシーケンス生成回路20の信号変換部55はニブル・モードの信号1284Active、Data(8...1)、Host Busy、HostClk、PtrClkをコンパティビリティ・モードの信号nAutoFeed、Nstrobe、Busy、nAck、nSelectに変換する。これらの信号は双方向パラレルインタフェース52を経て、さらにシーケンス生成回路21を経由して双方向パラレルインタフェース19に出力される。

【0044】図17はECPモードのリバース・フェイズ(Reverse Phase)でスキャナからシーケンス生成回路20に双方向パラレルインタフェース18のデータが転送される状態を示す。基本的には、図13のニブル・データがECPのバイトデータで転送されるほかは図13の制御と同様である。

【0045】以上はプリンタが接続された状態からスキャナを接続する切り替え動作について説明したが、逆にスキャナが接続されている状態からプリンタを接続する切り替えも可能である。この場合は、ホストコンピュータ7から送るパラメータバイトは“00000100”とする。

【0046】以上説明したように第4の実施の形態によれば、スキャナとプリンタを直接双方向パラレルインタフェースで接続できるので、高速でしかもホストコンピュータの負担なしにコピー動作が可能になる。

【0047】次に第5の実施の形態を説明する。前記第4の実施の形態は、スキャナで読み取られた画像データがホストコンピュータを経ずに直接プリンタへ送ることができるというものであるが、第5の実施の形態は、読み取られた画像データを直接プリンタへ送る際に、画像データの処理を行う回路を設けたものである。第5の実施の形態は特にスキャナで読み取ったカラー画像をプリンタで印刷する場合に適する。図18は第5の実施の形態を示すブロック図、図19は画像処理部を示すブロック図である。

【0048】図18、図19において、シーケンス生成回路20とシーケンス生成回路21を接続する双方向パラレルインタフェース52上には画像処理部61が設けられている。画像処理部61には、この画像処理部61の全体を制御するCPU62、CPU62の制御手順を記憶するROM63、スキャナからの読取りデータやプリンタへの印刷データ等を一時的に記憶するRAM64、スキャナの入力装置としての固有の色特性情報やプリンタの出力装置としての固有の色特性情報、またはホストコンピュータ7からのユーザ設定情報等を記憶する設定保持部65、およびこれら各部を接続するCPUバス66から構成される。シーケンス生成回路67はシーケンス生成回路20に対応する回路で、スキャナのデータの入力ポートの役割を果たす。シーケンス生成回路6



8はシーケンス生成回路21に対応する回路で、プリンタへの出力ポートの役割を果たす。

【0049】第5の実施の形態の動作を説明する。図20は画像処理回路61のカラーマッチング処理方式の説明図である。図20において、スキャナ2から読み取った入力データ71を入力デバイス特性情報72を参照して色データ変換処理73を行う。これにより色データ74を作成し、この色データ74を出力デバイス特性情報75を参照して変換処理76を行って出力画像データ77を生成し、プリンタ3へ送る。

【0050】入力デバイス特性情報72は入力データ71と色データ74の関係を記述した情報で、例えばRGB色度座標、ガンマ値、ホワイトポイント等の情報がある。また出力デバイス特性情報75は色データ74と出力データ77との関係を記述した情報で、印刷条件（用紙タイプ等）、CIE等の表色系タイプ、ホワイトポイントの値、ブラックポイントの値、印刷特性データベース等がある。設定値保持部65は入力デバイス特性情報72や出力デバイス特性情報75、およびユーザが任意に指定した色設定値を保持する。入力データ71、色データ74、出力データ77はRAM64に一時的に格納される。色データ変換処理73と出力データ変換処理76は、ROM63に格納してあるプログラムに従ってCPU62により実行される。具体的な変換処理としては、色変換テーブル（3次元CLUT等）により行う。図19に示すシーケンス生成回路67、68は、それぞれシーケンス生成回路20、21に対応して、CPUバスを介してCPU62に対して双方向データの格納もし\*

\*くは読み出しを行う。

【0051】以上のように第5の実施の形態によれば、スキャナで読み取った画像データを直接プリンタへ送って印刷が可能であるだけでなく、画像処理部を設けたので、とくにカラー画像を読み取って印刷する場合に、印刷結果が原稿と同等の画質を得られる効果がある。

【0052】次に第6の実施の形態を説明する。近年、ホストコンピュータがカラーマネジメント機能を搭載し、システムレベルでカラーマネジメントができるようになった。スキャナやプリンタはそれぞれのデバイス特性情報をデバイスプロファイルとして提供すると、オペレーション・システムが色変換を行ってくれる。デバイスプロファイルはICC (International Color Consortium) で標準化されている。第6の実施の形態は、このデバイスプロファイルをホストコンピュータからダウンロードして画像処理部の設定値保持部の中のデバイス特性情報として転送できるようにしたものである。

【0053】図21は第6の実施の形態を示すブロック図である。双方向インタフェース12に設けたスイッチ81は双方パラレルインタフェース13をシーケンス生成回路21にも接続可能にしたものである。その他の構成は第5の実施の形態と同様である。表1はデバイスプロファイルの例を示す。第6の実施の形態では、このデバイスプロファイルをホストコンピュータ7からダウンロードして画像処理部61内の設定値保持部65に機能を追加している。

【0054】

【表1】

Profile Header	プロファイルのサイズ
	カラーマッチング方法のタイプ
	バージョン
	カラーデータのタイプ
	デバイスのタイプ
	デバイスのメーカー名
	デバイスのモデル名 (型式)
	デバイスの属性
	先頭から"Profile name"部までのオフセット
	先頭から"Data"部までのオフセット
	フラグ
	オプション (色再現範囲の対応方式の指定)
	ホワイト・ポイント
	ブラック・ポイント
Profile	Red.Green.Blue.Cyan.Magenta.Yellowなどの色度
Response	"Profile"部の色のガンマデータ
Profile name	プロファイル名の文字列

【0055】次に動作を説明する。ホストコンピュータ7は、双方向パラレルインタフェース13からスイッチ81を経てシーケンス生成回路21へデバイスプロファイルを送る。シーケンス生成回路21は受け取ったデバイスプロファイルを図19に示すシーケンス生成回路68へ送り、CPU62はおくられてきたデバイスプロファイルを設定値保持部65に格納する。

【0056】スキャナやプリンタを交換した場合、新たに設置される装置のデバイスファイルをホストコンピュータ7からダウンロードし直す。これにより装置を交換しても、カラーコピーを行う場合、原稿と同等の画質の印刷結果が得られる。

【0057】以上のように第6の実施の形態によれば、特に単体装置としてのスキャナやプリンタを任意にホス

トコンピュータ7に接続した場合であっても、接続した装置に対応するデバイスプロファイルをホストコンピュータからダウンロードするので、直接双方向パラレルインタフェースで接続でき、しかもコピー動作を行った場合原稿と同等の画質のコピー結果が得られる。

【0058】

【発明の効果】以上詳細に説明したように本発明によれば、第1の接離手段と第2の接離手段により、ホストコンピュータの双方向インタフェースと複数の画像処理装置のいずれかの双方向インタフェースを接続可能にしたので、各画像処理装置は直接ホストコンピュータと送受信が可能になり、例えば画像処理装置の持っている最高の処理速度でデータを受信することが可能になる。

【図面の簡単な説明】

【図1】第1の実施の形態の画像処理装置を示すブロック図である。

【図2】第1の実施の形態の外部双方向インタフェース制御装置を示すブロック図である。

【図3】第1の実施の形態の切り替え動作を示すシーケンス図である。

【図4】第1の実施の形態の切り替え動作を示すシーケンス図である。

【図5】第1の実施の形態の切り替え動作を示すシーケンス図である。

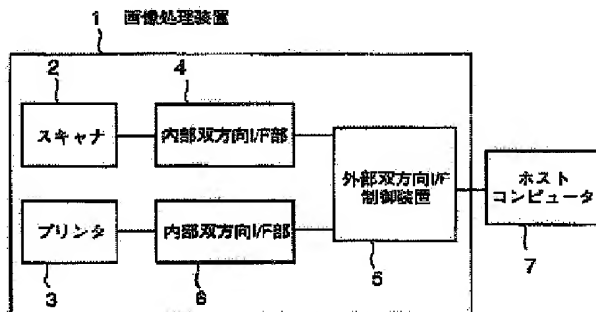
【図6】第1の実施の形態の切り替え動作を示す説明図である。

【図7】第2の実施の形態を示すブロック図である。

【図8】第3の実施の形態を示すブロック図である。

【図9】第4の実施の形態を示すブロック図である。 \*

【図1】



第1の実施の形態の画像処理装置を示すブロック図

\* 【図10】第4の実施の形態の切り替え動作を示すシーケンス図である。

【図11】第4の実施の形態の切り替え動作を示すシーケンス図である。

【図12】第4の実施の形態の切り替え動作を示すシーケンス図である。

【図13】第4の実施の形態のデータ転送を示すシーケンス図である。

【図14】第4の実施の形態のデータ転送を示すシーケンス図である。

【図15】第4の実施の形態のシーケンス生成回路を示すブロック図である。

【図16】第4の実施の形態のデータ転送を示すシーケンス図である。

【図17】第4の実施の形態のデータ転送を示すシーケンス図である。

【図18】第5の実施の形態を示すブロック図である。

【図19】第5の実施の形態の画像処理部を示すブロック図である。

20 【図20】第5の実施の形態におけるカラーマッチング処理方式を示す説明図である。

【図21】第6の実施の形態を示すブロック図である。

【符号の説明】

1 画像処理装置

2 スキャナ

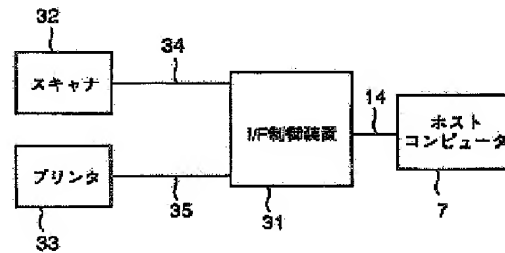
3 プリンタ

5 外部双方向インタフェース制御装置

7 ホストコンピュータ

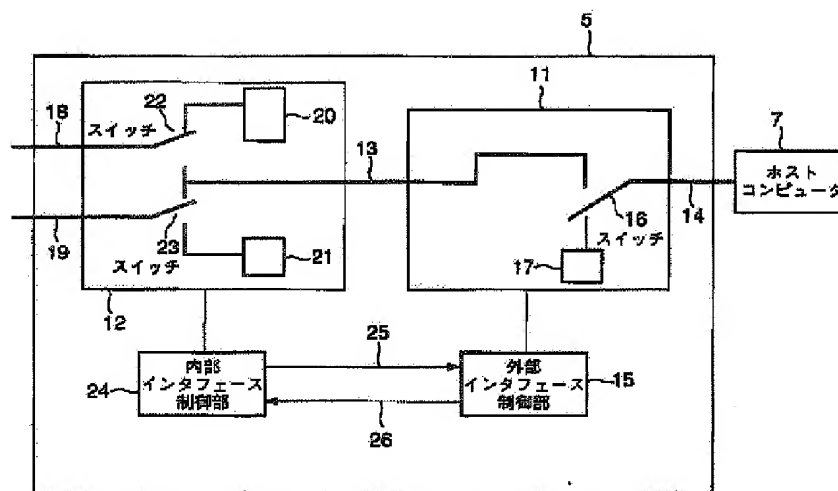
16、22、23 スイッチ

【図7】



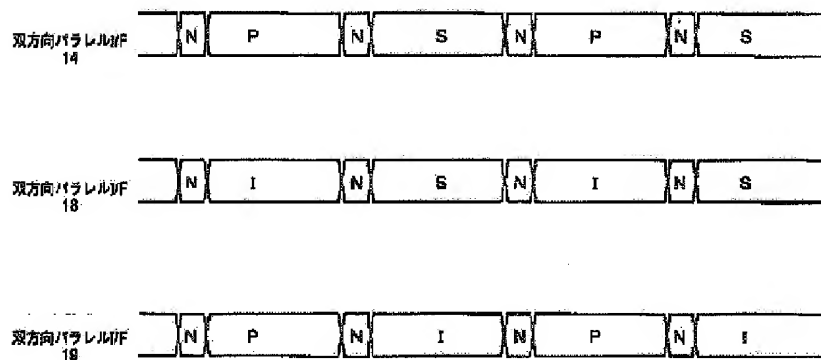
第2の実施の形態を示すブロック図

【図2】



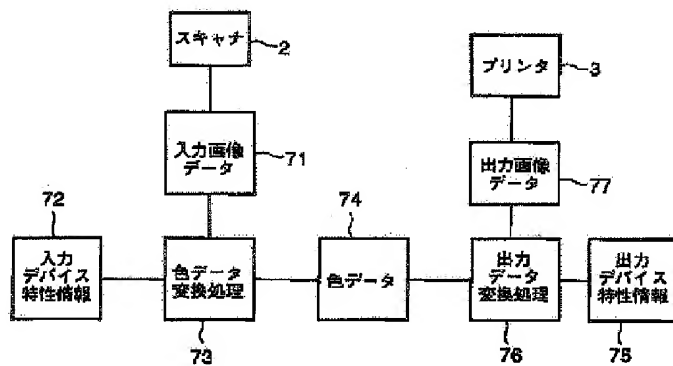
第1の実施の形態の外部双方向インタフェース制御装置を示すブロック図

【図6】



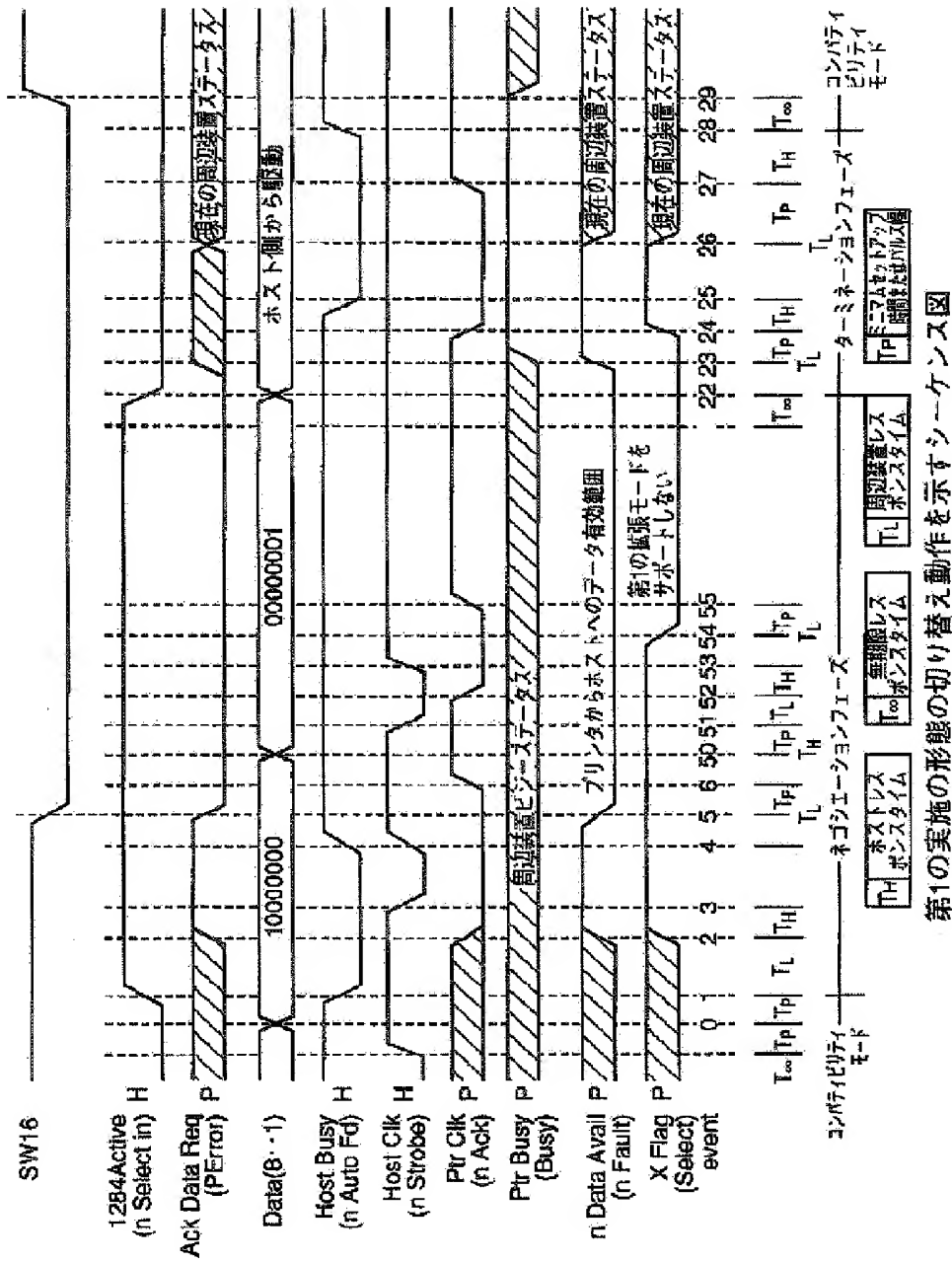
第1の実施の形態の切り替え動作を示す説明図

【図20】

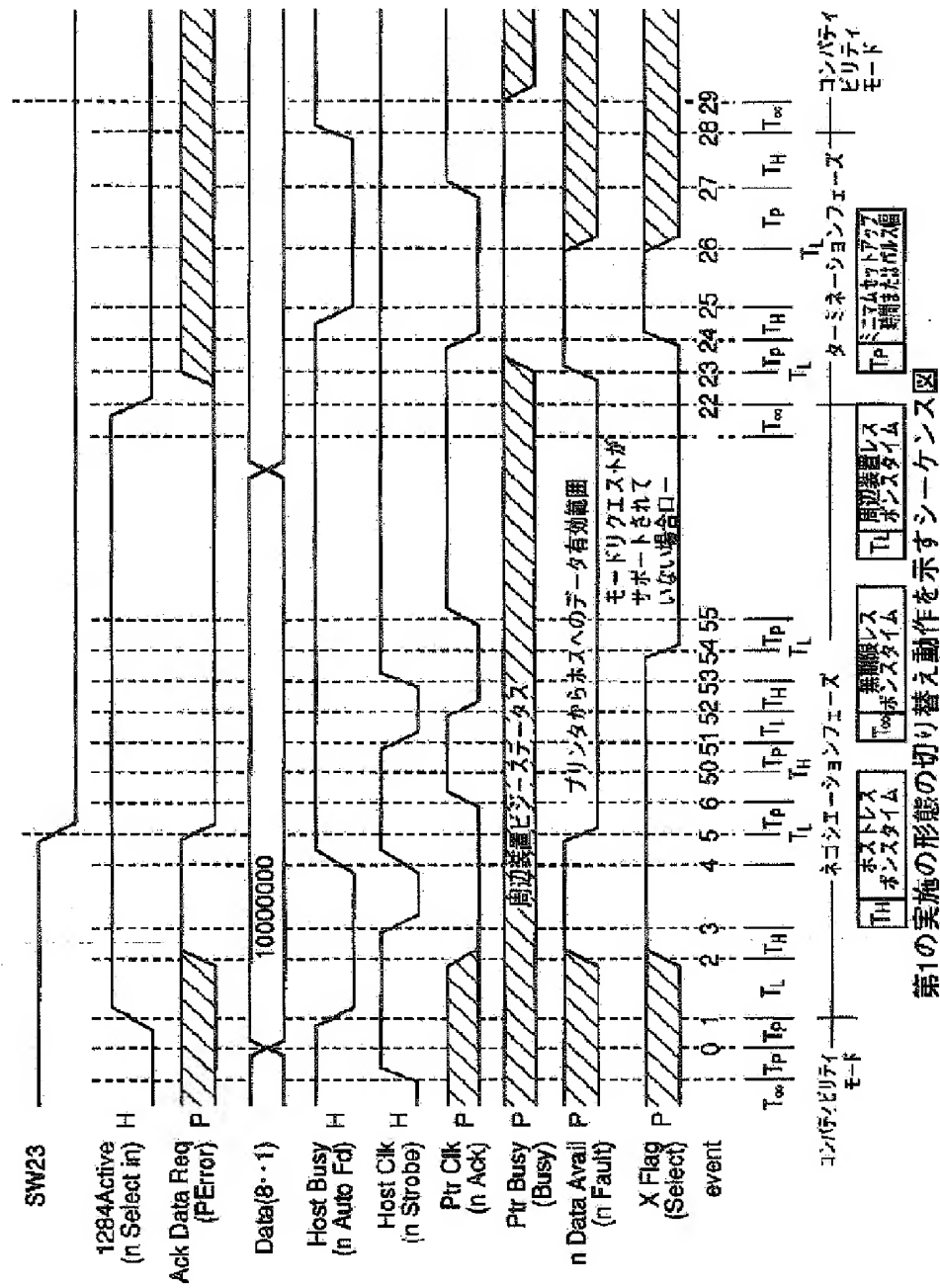


第5の実施の形態におけるカラーマッチング処理方式を示す説明図

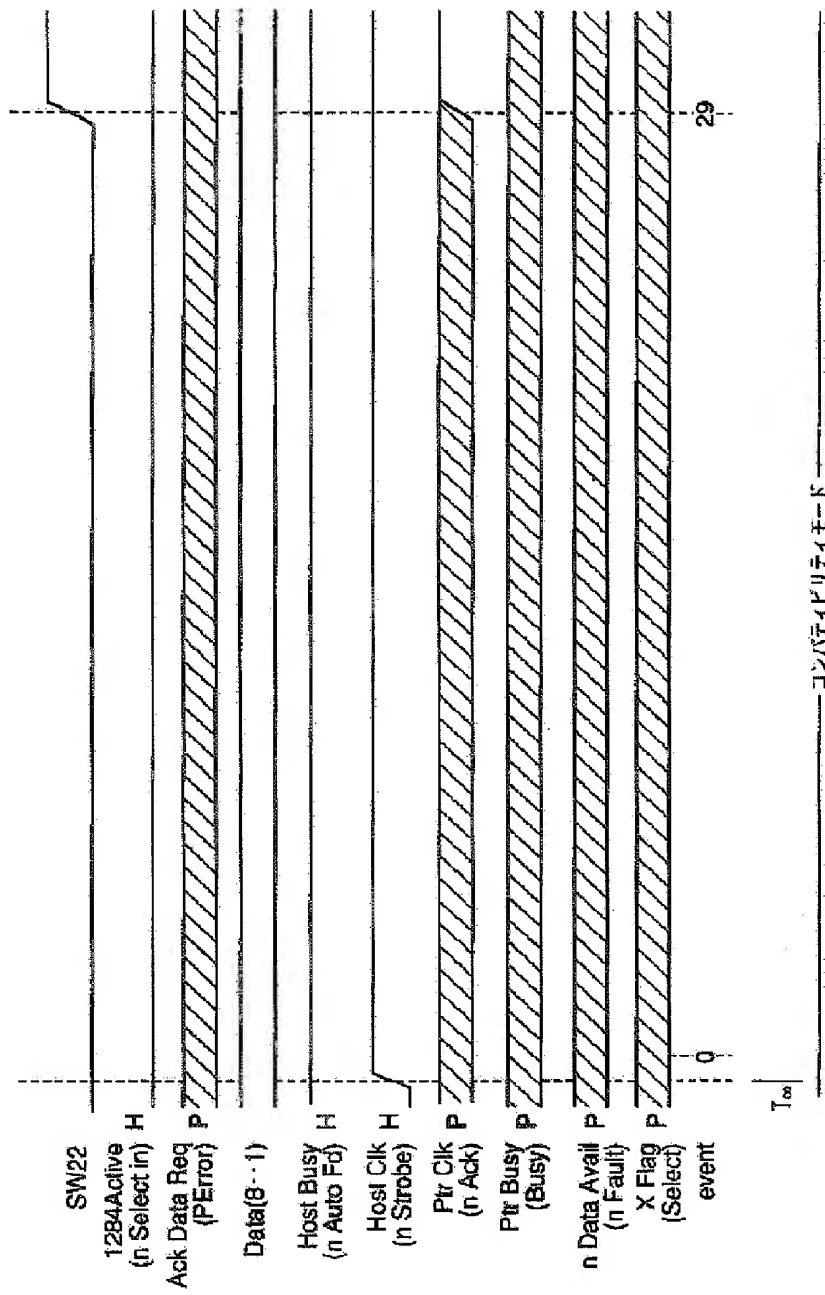
【図3】



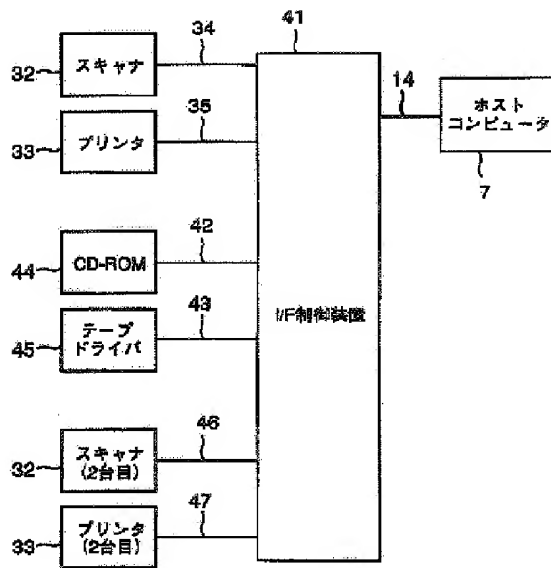
【図4】



【図5】

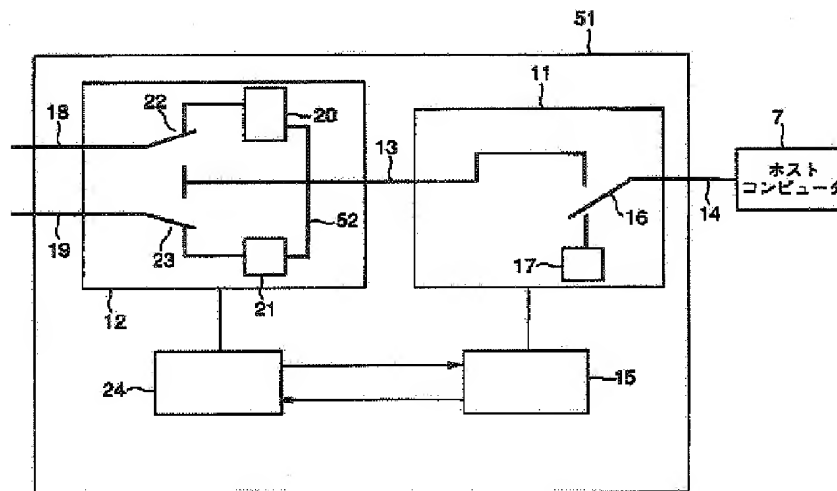


【図8】



第3の実施の形態を示すブロック図

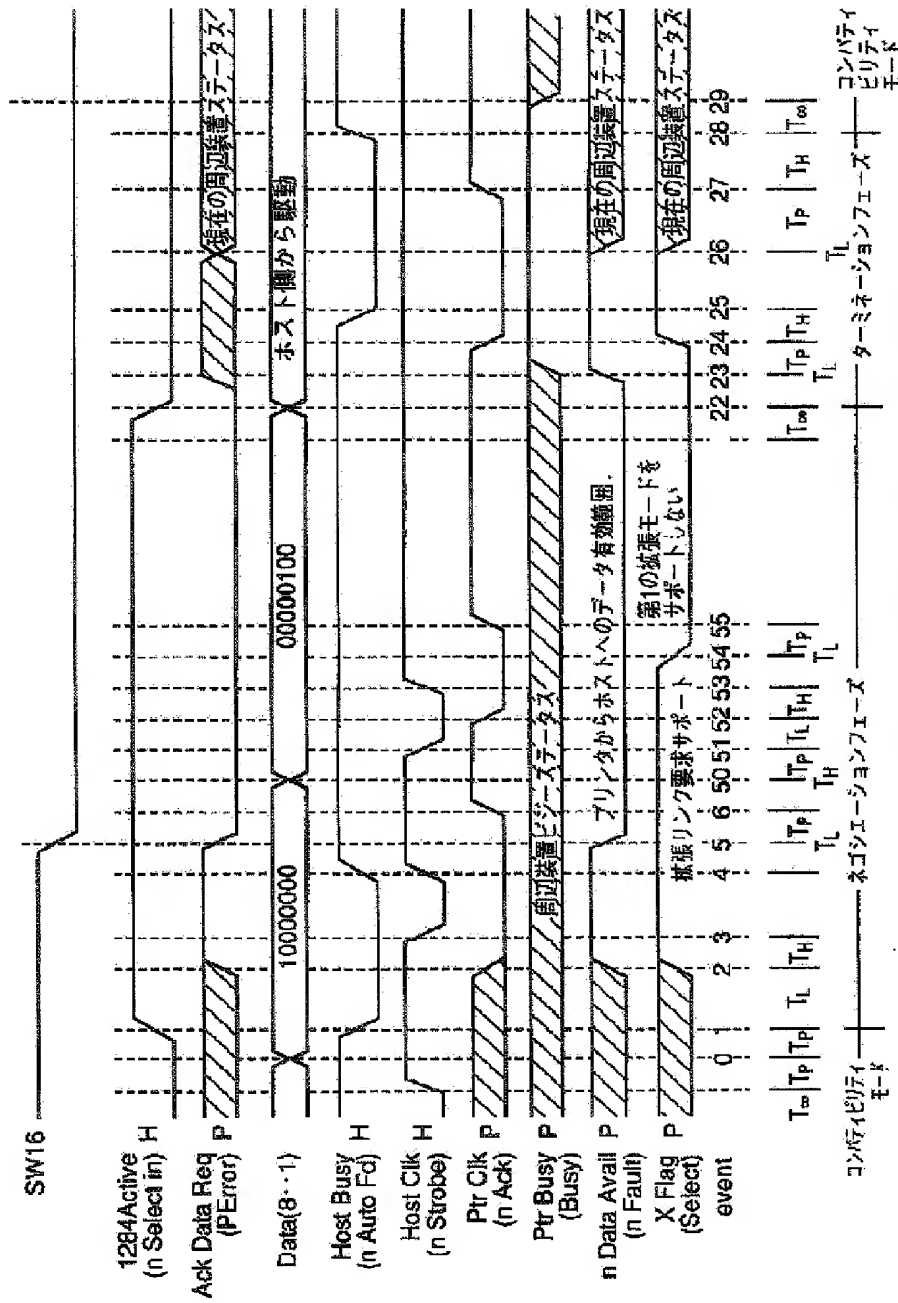
【図9】



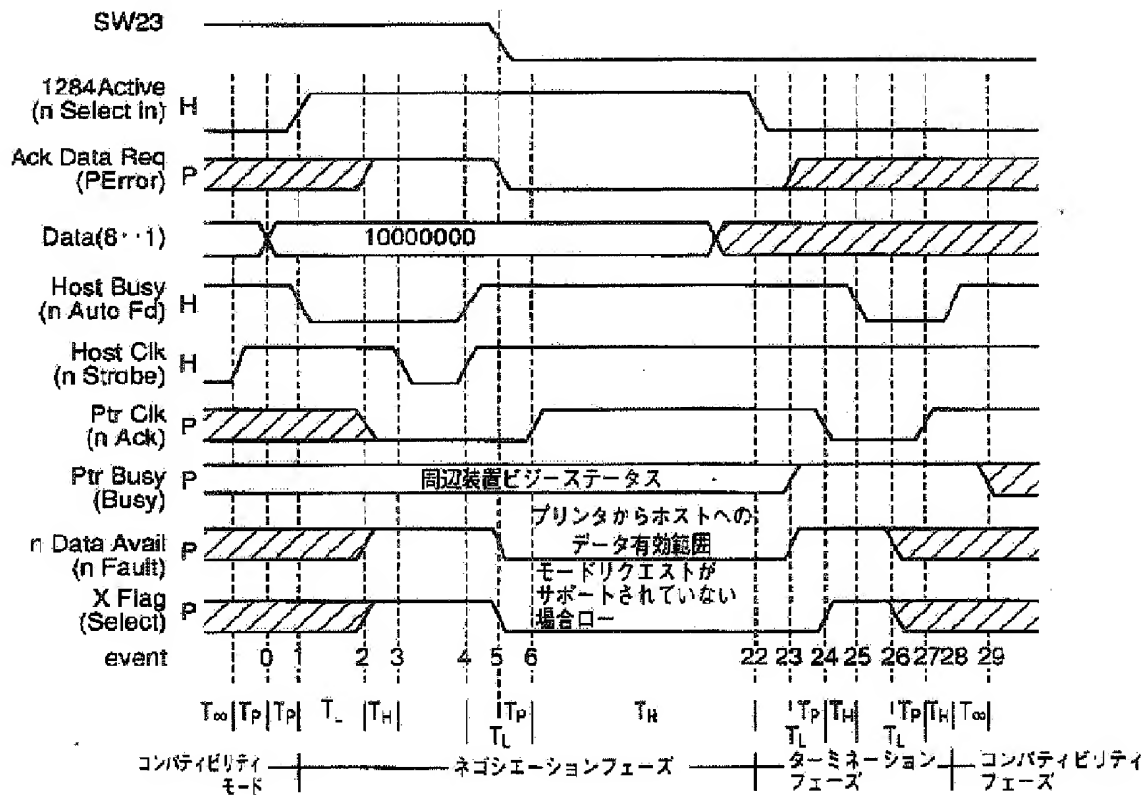
第4の実施の形態を示すブロック図



#### 第4の実施の形態の切り替え動作を示すシーケンス図

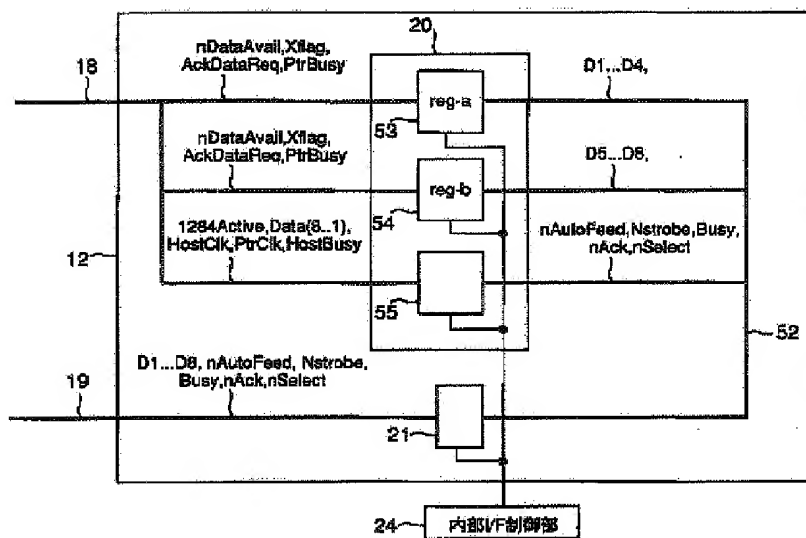


【図11】



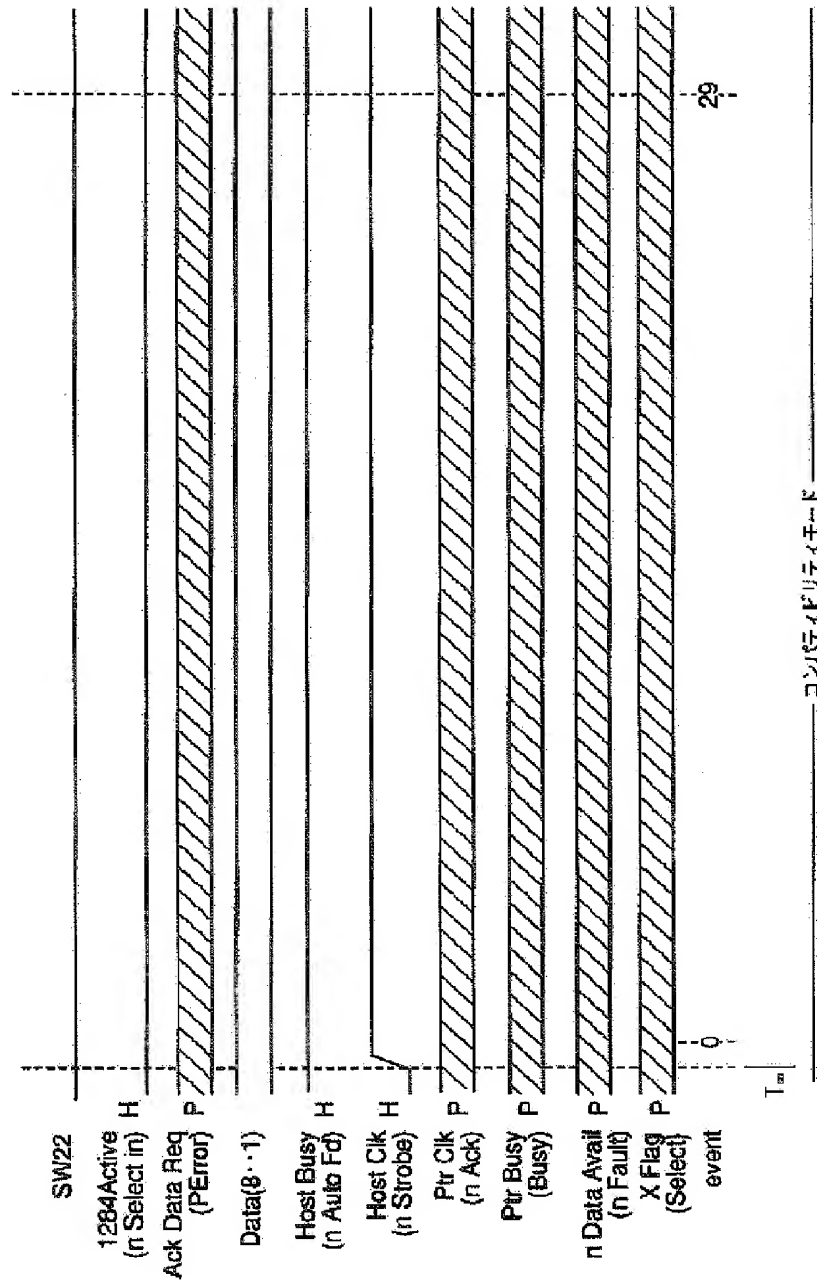
第4の実施の形態の切り替え動作を示すシーケンス図

【図15】



第4の実施の形態のシーケンス生成回路を示すブロック図

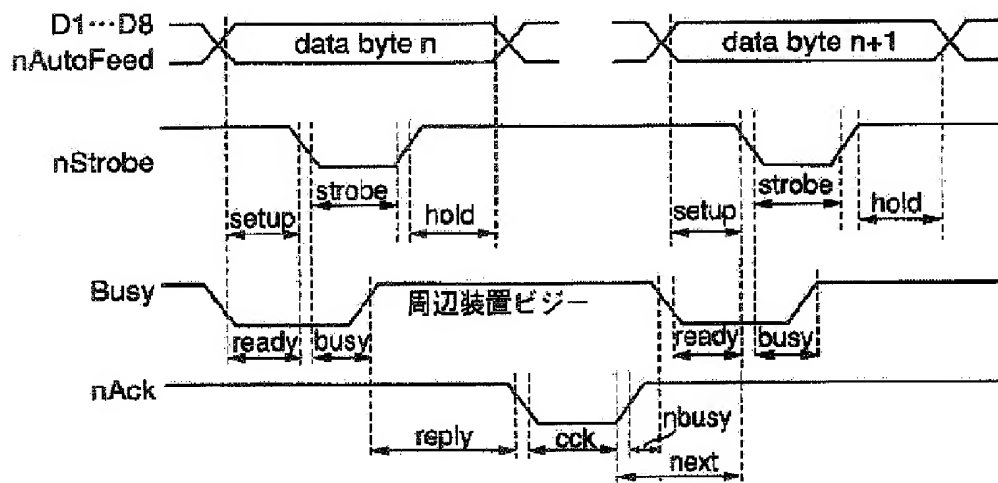
【図12】



第4の実施の形態の切り替え動作を示すシーケンス図

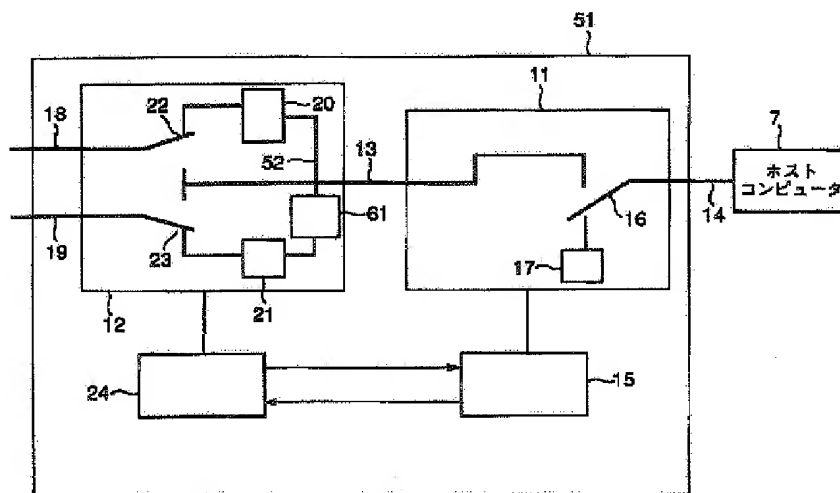


【図14】



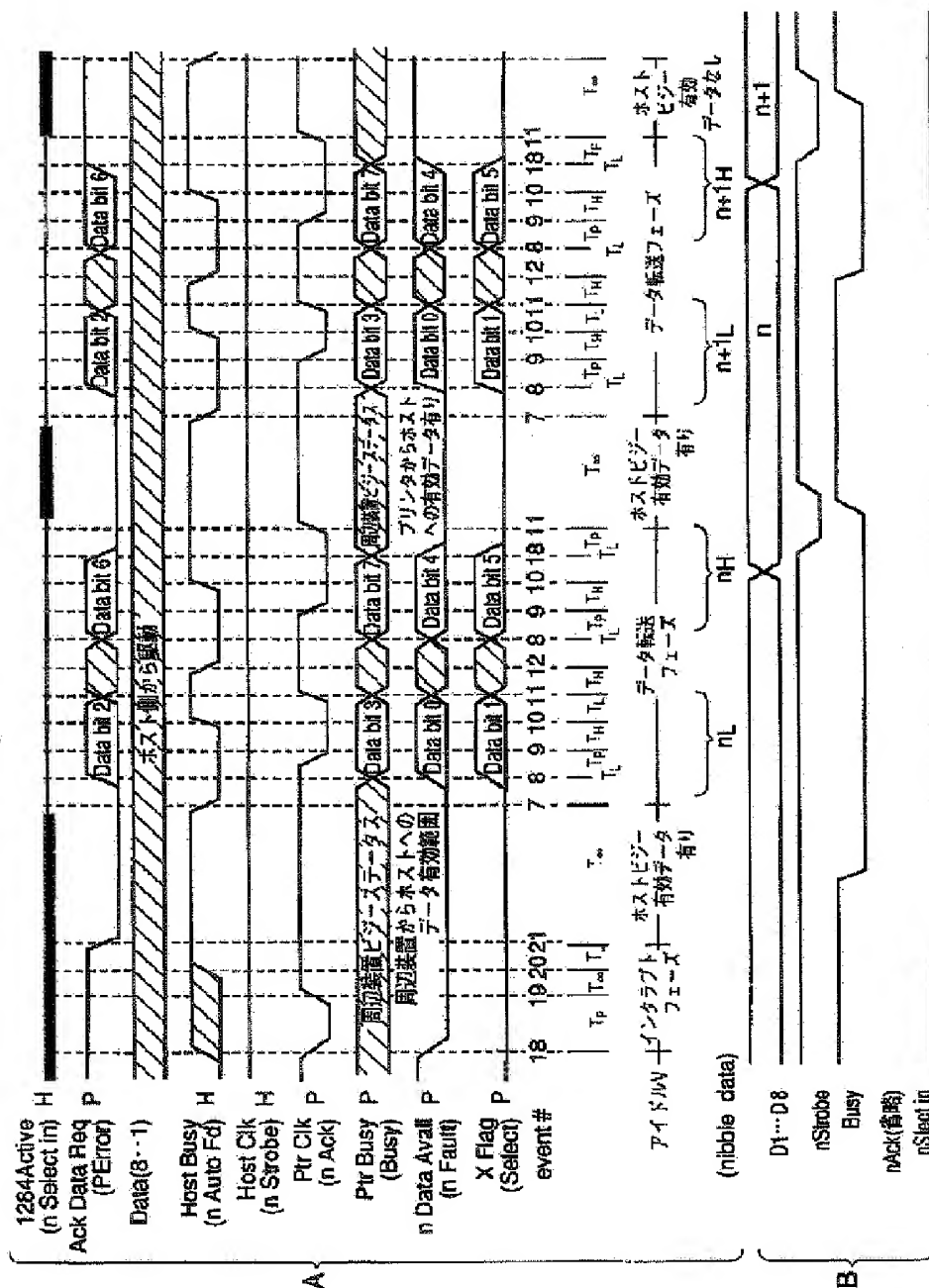
第4の実施の形態のデータ転送を示すシーケンス図

【図18】



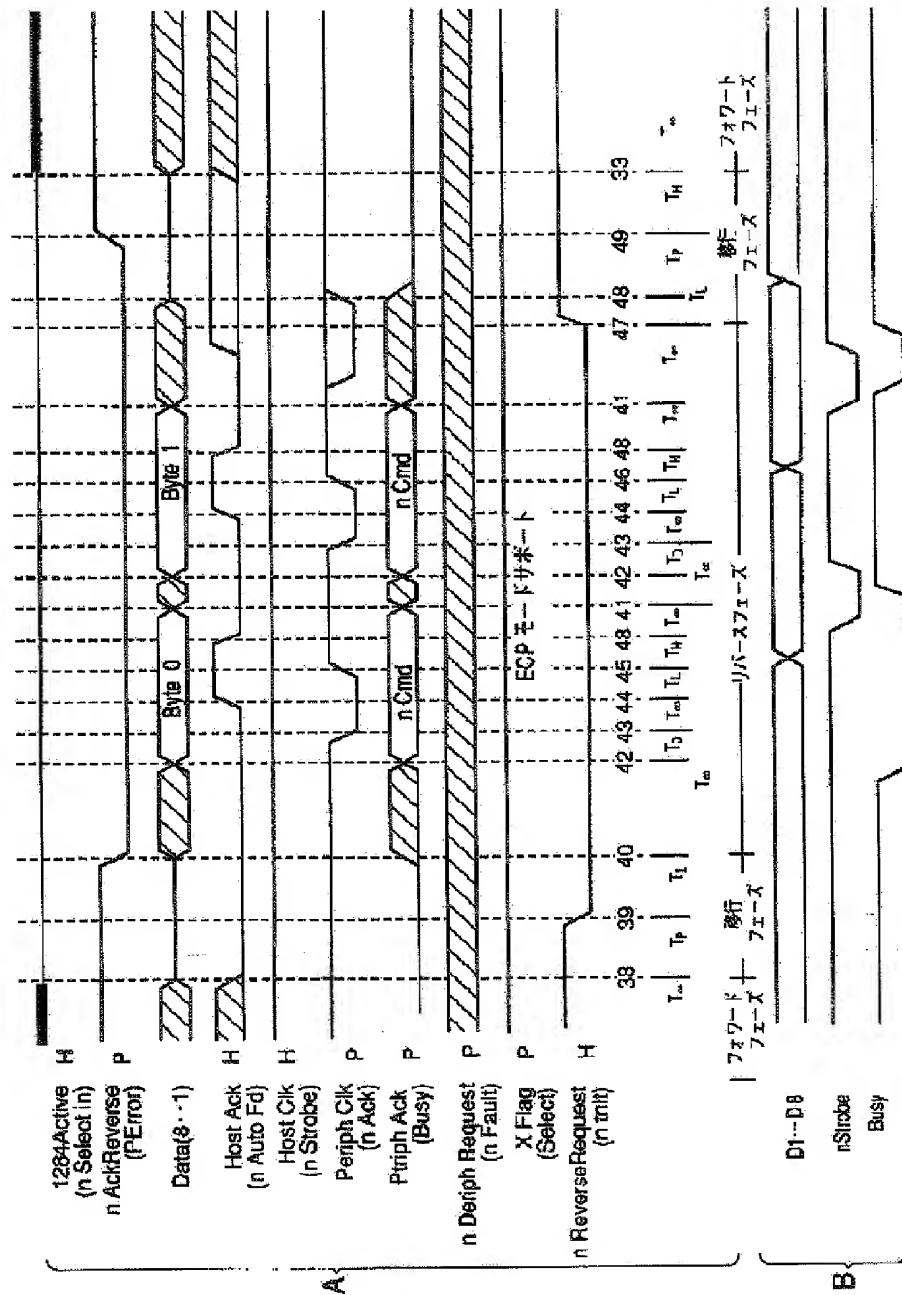
第5の実施の形態を示すブロック図

【図16】



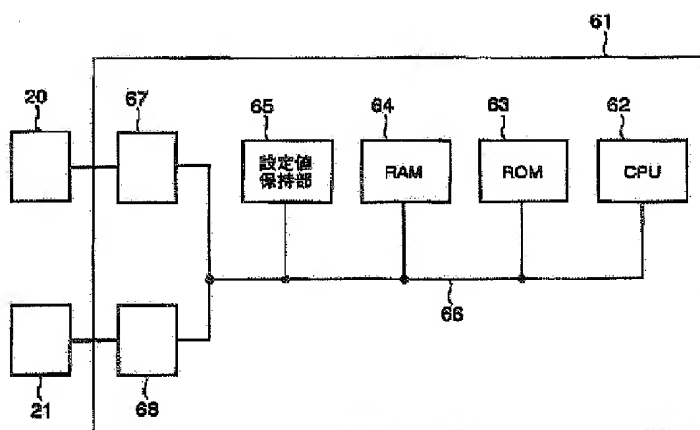
第4の実施の形態のデータの形態を示すシーケンス図

## 第4の実施の形態のデータ転送を示すシーケンス図



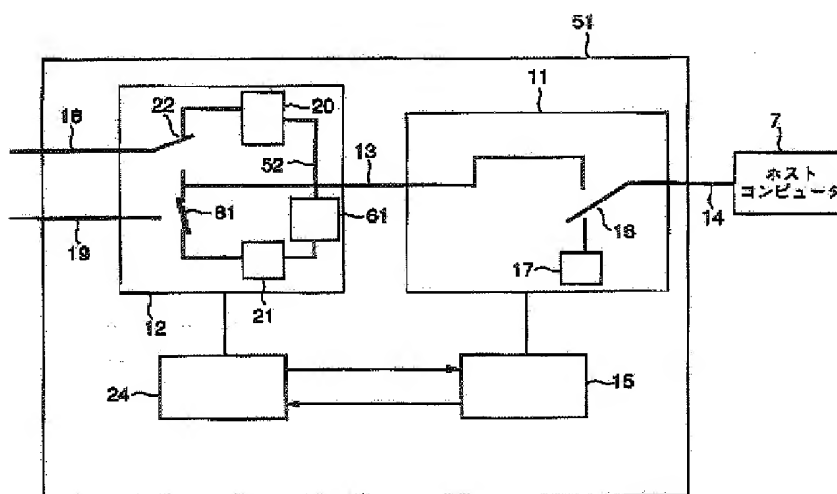


【図 19】



第5の実施の形態の画像処理部を示すブロック図

【図 21】



第6の実施の形態を示すブロック図

フロントページの続き

(51)Int. Cl.<sup>8</sup>H 0 4 N 1/00  
1/32

識別記号

1 0 7

F I

H 0 4 N 1/32  
B 4 1 J 29/00Z  
D